

Р.В. Петросян, ст. викл.

В.В. Чухов, к.т.н., доц.

Житомирський державний технологічний університет

ПІДВИЩЕННЯ ШВИДКОДІЇ ОБЧИСЛЕННЯ ЛОГІЧНИХ ФУНКЦІЙ У МІКРОПРОЦЕСОРНИХ ПРИСТРОЯХ

У роботі детально розглянуто обчислення логічних функцій. Запропоновано методику підвищення швидкодії обчислення логічних функцій у мікропроцесорних пристроях із використанням побітових логічних операцій.

Постановка проблеми. Донедавна керування в цифрових пристроях виконувалося на базі цифрових мікросхем малої та середньої інтеграції. Методи проектування таких пристроїв добре відомі та знайшли широке застосування [1, 2]. Однак останнім часом усе менше використовуються інтегральні схеми малої та середньої інтеграції, а все більше – програмовані логічні інтегральні схеми (ПЛІС), мікропроцесори (МП), мікроконтролери (МК) тощо. Існуючі методи проектування на базі цифрових мікросхем малої та середньої інтеграції дуже добре підходять для реалізації пристроїв на ПЛІС, однак викликають деякі труднощі при реалізації в МП і МК. Застосування ПЛІС виправдано, якщо необхідно отримати високу швидкодію, в інших випадках зручніше використовувати реалізацію на МП і МК.

Аналіз останніх досліджень і публікацій. За останні менш ніж піввіку мікропроцесори і мікро-ЕОМ знайшли широке застосування в пристроях і системах автоматизації вимірювань, обробки даних і керування технологічними процесами, а також для побудови різних спеціалізованих цифрових пристроїв [3, 4]. Тому всі операції обчислення логічних і арифметичних функцій, обробки і передачі даних, формування керування покладають на мікропроцесор, реалізуючи операції програмно, намагаючись виключити додаткові фізичні вузли.

Особливістю цифрових пристроїв є те, що параметри їхніх сигналів описуються не конкретними значеннями струмів і напруг, а абстрактними символами 0 і 1. Як математичний апарат для функцій і аргументів таких сигналів використовується двійкова (булева) алгебра [2, 5].

Цифрові пристрої керування можна розділити на два класи: пристрої без пам'яті (комбінаційні схеми) та пристрої з пам'яттю (кінцеві автомати). Далі мова йтиме тільки про комбінаційні схеми (КС), тому що описані підходи будуть аналогічні.

КС може описуватися двома формами: у диз'юнктивній нормальній формі (ДНФ) та у кон'юнктивній нормальній формі (КНФ). Аналітичний спосіб завдання перемикальних функцій (ПФ), відповідно, має вигляд:

$$y = \bigcup_k f_k(x_1, x_2, \dots, x_i); \quad (1)$$

$$y = \bigcap_d f_d(x_1, x_2, \dots, x_i), \quad (2)$$

де $f_k(x_1, x_2, \dots, x_i)$, $f_d(x_1, x_2, \dots, x_i)$ – операції кон'юнкції та диз'юнкції логічних змінних x_i .

Вирази (1) і (2) є функціями декількох змінних, як і операції кон'юнкції та диз'юнкції. Сучасні ж МП і МК, хоч і мають побітові логічні команди [6, 7], але виконуються для двох операндів, у результаті чого вирази (1) і (2) істотно ускладнюються. Багато з МК мають можливість не тільки виконувати логічні операції, але і зберігати бітові змінні. У більшості мов високого рівня ситуація більш складна, тому що для логічних змінних використовується тип змінною розмірністю в один байт.

Формулювання цілей статті. Для підвищення швидкодії обчислення логічних функцій у мікропроцесорних пристроях необхідно використовувати наявні функціональні вузли мікропроцесорів для виконання побітових операцій.

Викладення основного матеріалу. Процес синтезу КС на елементах заданого базису поділяється на такі етапи:

1. Аналітичний запис ПФ у булевому базисі: у досконалій диз'юнктивній нормальній формі (ДДНФ) або в досконалій кон'юнктивній нормальній формі (ДКНФ).

2. Мінімізація ПФ у булевому базисі (метод Квайна, карт Карно тощо).

3. Представлення отриманого після мінімізації виразу в заданому базисі (булевому базисі, базисі Шеффера, Пірса тощо).

Всі зазначені етапи виконуються незалежно від реалізації: програмно або апаратно. Однак, як буде показано далі, через особливості реалізації запропонованої методики в деяких випадках можна виконати часткову мінімізацію або вона може бути відсутня зовсім, при цьому швидкодія обчислення логічної функції істотно не зміниться.

Як вказувалося вище, МК і МП уміють виконувати логічні операції, однак це побітові операції двох операндів 8, 16 розрядних даних (розрядність даних частіше всього залежить від розрядності МК і МП). Також деякі МК дозволяють працювати з однобітовими типами змінних, але так само дані операції виконуються з двома операндами.

До складу будь-якого МК і МП входить арифметико-логічний пристрій (АЛП), що і виконує всі арифметичні та логічні операції. При виконанні арифметичної або логічної команди не тільки формується результат, але і змінюється регістр прапорців, а також може бути задіяним блок двійково-десятькової корекції. Однією з ознак регістра прапорців є прапорець нуля, що змінюється при виконанні арифметичних і логічних операцій відповідно до одного із логічних виразів [6, 7]:

$$Z = \overline{X_1 \wedge X_2 \wedge \dots \wedge X_i \dots \wedge X_r}, \quad (3)$$

$$Z = X_1 \vee X_2 \vee \dots \vee X_i \dots \vee X_r, \quad (4)$$

де X_i – відповідний розряд результату після виконання арифметичної або логічної операції; i – номер розряду; r – розрядність регістра МП і МК, у якому отримано результат (частіше всього відповідає розрядності шини даних мікропроцесора).

Вирази (3) і (4) рівноцінні, тому що відображені в різних базисах. Більш практичним є вираз (4), оскільки по суті представляє елемент Пірса. Таким чином, можна відзначити, що у всіх мікропроцесорах є апаратний багатовходовий блок обчислення логічних функцій, хоча і призначений для інших цілей.

Розглянемо реалізацію обчислення ПФ. Незалежно від того, в якій формі описується КС, для її реалізації необхідно виконання операцій кон'юнкції та диз'юнкції. Розглянемо два випадки:

- кількість логічних змінних менше розрядності регістрів мікропроцесора;
- кількість логічних змінних більше розрядності регістрів мікропроцесора.

У першому випадку необхідно позбутися від зайвих логічних змінних. Для цього немає потреби винаходити «велосипед», а необхідно використовувати підхід, аналогічний підходу до реалізації КС на багатовходових логічних елементах, і подати фіксований рівень на зайві входи: '0' – на входи елементів «АБО» («АБО–НІ»); '1' – на входи елементів «І» («І–НІ»). Цього можна досягти використовуючи накладення бітових масок.

З огляду на вирази (3) і (4), реалізація операції кон'юнкції виконується відповідно до виразу:

$$K = (X \oplus (2^r - 1)) \wedge M, \quad (5)$$

де K – результат обчислення побітових операцій; X – слово, що містить логічні змінні; M – маска, в якій розряди, що відповідають логічним змінним, містять одиничні значення.

Результат обчислення кон'юнкції буде знаходитися в прапорці нуля, тобто:

$$f_k = z. \quad (6)$$

Таким чином, замість виконання i логічних бітових операцій необхідно виконати всього дві логічні побітові операції відповідно до виразу (5).

Реалізація операції диз'юнкції виконується відповідно до виразу:

$$D = X \wedge M, \quad (7)$$

де D – результат обчислення побітових операцій.

Результат обчислення диз'юнкції буде знаходитися в прапорці нуля в інверсному стані, тобто:

$$f_d = \bar{z}. \quad (8)$$

Таким чином, замість виконання i логічних бітових операцій необхідно виконати всього одну логічну побітову операцію відповідно до виразу (7).

У випадку, коли кількість логічних змінних більше розрядності регістрів мікропроцесора, необхідно виконати нарощування розрядності для виконання операцій кон'юнкції та диз'юнкції. У цьому випадку логічні змінні зберігаються в декількох словах. Обчислення операції кон'юнкції буде виконуватися відповідно до виразу:

$$K1 = (X1 \oplus (2^r - 1)); \quad (9)$$

$$K2 = (X2 \oplus (2^r - 1)) \wedge M. \quad (10)$$

Результат обчислення кон'юнкції буде визначатися таким чином:

$$f_k = z1 \wedge z2. \quad (11)$$

Висновки. Запропонована методика дозволяє підвищити швидкодію обчислення ПФ, при цьому швидкодія збільшується прямопропорційно кількості логічних змінних у багаточленах КНФ або ДНФ. Так само дана методика інваріантна до використовуваного мікропроцесора.

ЛІТЕРАТУРА:

1. Корнійчук А.І. Проектування пристроїв та систем управління : навч. посібник / А.І. Корнійчук, Ю.О. Подчаїшинський. — Житомир : ЖДТУ, 2005. — 152 с.

2. Угрюмов Е.П. Цифровая схемотехника / Е.П. Угрюмов. — СПб. : «БХВ—Санкт-Петербург», 2001. — 528 с.
3. Сопряжение датчиков и устройств ввода данных с компьютерами IBM PC : пер. с англ. / под ред. У.Томкинса, Дж.Уэбстера. — М. : Мир, 1992. — 592 с.
4. Трамперт В. Измерение, управление и регулирование с помощью AVR микроконтроллеров : пер. с нем. / В.Трамперт. — К. : «МК-Пресс», 2006. — 208 с.
5. Корнійчук А.І. Проектування пристроїв та систем управління : навч. посібник / А.І. Корнійчук. — Житомир : ЖІТІ, 2000. — 276 с.
6. Однокристалные микроЭВМ / А.В. Боборыкин, Г.П. Липовецкий, Г.В. Литвинский и др. — М. : МИКАП, 1994. — 400 с.
7. PM044. Programming manual. ST Microelectronics, 2008. — 148 с.

ПЕТРОСЯН Руслан Валерійович – старший викладач кафедри автоматизації та управління в технічних системах Житомирського державного технологічного університету.

Наукові інтереси:

- мікропроцесорна техніка та системне програмування;
- цифрова обробка сигналів;
- вимірювальна техніка;
- теорія автоматичного управління;
- розробка електричних пристроїв.

E-mail: e_rvs@ukr.net

ЧУХОВ Владислав Вікторович – кандидат технічних наук, доцент кафедри радіотехніки і телекомунікацій Житомирського державного технологічного університету.

Наукові інтереси:

- радіовимірювальні прилади;
- пристрої НВЧ та антени.

E-mail: mps_cvv@ukr.net

Подано 31.05.2011

